

Title of Invention: VTERBI DECODING ARITHMETIC UNIT

Publication No.: Japanese Patent Appln. Laid-open Hei 7 No.245567

Publication Date: September 19, 1995

Application No.: Japanese Patent Appln. Hei 6 No.32564

Application Date: March 2, 1994

Applicant: FUJITSU Co., Ltd

(57)[Abstract]

[PURPOSE] To provide a Viterbi decoding arithmetic unit which has simple configuration and is able to do a high-speed operation.

[CONSTITUTION] A Viterbi decoding arithmetic unit of the present invention is comprised of a branch metric calculation circuit 14 computing a branch metric based on the receiving signal, a normalizing circuit 15 normalizing branch metric values  $BR_0$ - $BR_3$  calculated by the branch metric calculation circuit 14 based on minimum value  $BR_0$  in the values, an ACS circuit 16 computing a path metric based on the normalized branch metric values, and an MLD circuit 13 decoding based on the path metric.

[SCOPE OF CLAIMS]

[Claim 1] A Viterbi decoding arithmetic unit comprising:

a branch metric calculation means (1) for computing a branch metric value according to series of input-signal,

a normalization means (2) for normalizing the branch metric

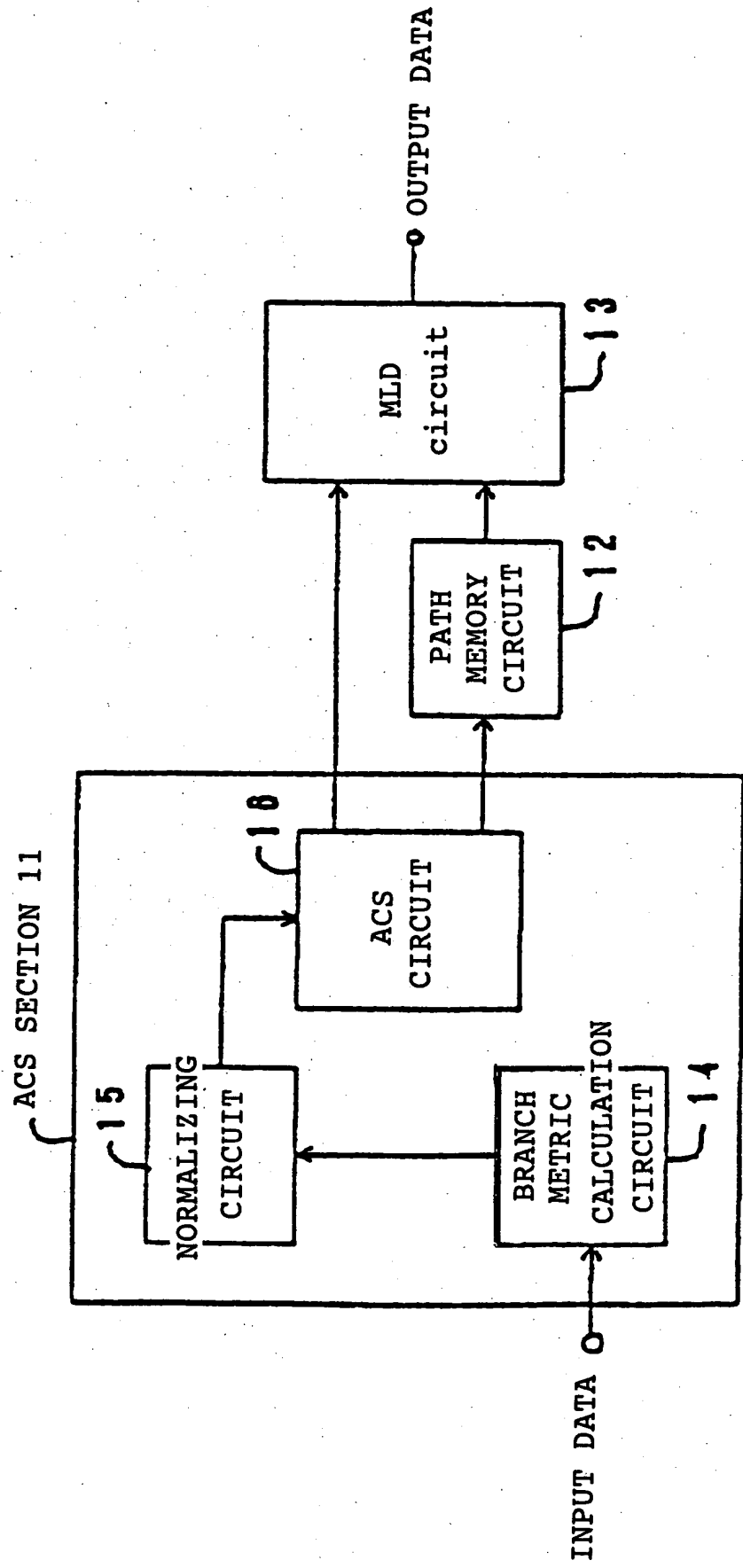
value computed by the branch metric calculation means (1) based on the minimum value of the branch metric value,

a path metric calculation means (3) for computing a path metric value based on the branch metric value normalized by the normalization means (2), and

a decoding means (4) for decoding the receiving signal by selecting the high pass metric value of reliability from the path metric value computed by the path metric calculation means (3) one after another.

[Claim 2] The Viterbi decoding arithmetic unit according to claim 1, wherein the branch metric calculation means (1) compute the branch metric value in such a manner that the value with high reliability assigned is served as the minimum, and the decoding means (4) decodes the receiving signal by the selecting minimum value of the path metric values computed by the path metric calculation means (3).

BLOCK DIAGRAM OF ONE EMBODIMENT OF THE PRESENT INVENTION



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245567

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H03M 13/12  
H04L 25/08

(21)Application number : 06-032564

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.03.1994

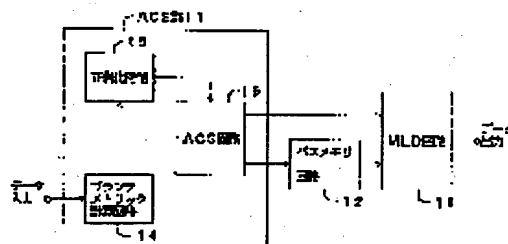
(72)Inventor : ISHIHARA TERUO

## (54) VITERBI DECODING ARITHMETIC UNIT

### (57)Abstract:

**PURPOSE:** To simplify the configuration and to increase the speed by normalizing plural branchmetric values and adding the result to a pathmetric value so as to obtain a succeeding pathmetric value.

**CONSTITUTION:** An ACS(adder comparison selection) section 11 is made up of a branchmetric calculation circuit 14, a normalizing circuit 15, and an ACS circuit 16 to generate a pathmetric and a path selection signal depending on input data. The branchmetric calculation circuit 14 generates a branchmetric based on input data (envelope information) and reliability information. Furthermore, the normalization circuit 15 implements normalizing by subtracting a minimum value from the branchmetric supplied from the branchmetric calculation circuit 14. Then an ACS circuit 16 adds the result to the received normalizing branchmetric to obtain a pathmetric for a next stage. Furthermore, an MLD (maximum discrimination) circuit 13 decodes data based on the pathmetric fed from the ACS circuit 16 and the content of a path memory circuit 12 to provide an output.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 4 5 5 6 7

(43) 公開日 平成 7 年 (1995) 9 月 19 日

(51) Int. Cl. <sup>8</sup>

H03M 13/12

H04L 25/08

識別記号

庁内整理番号

F I

技術表示箇所

8730-5J

B 9199-5K

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平 6 - 3 2 5 6 4

(22) 出願日 平成 6 年 (1994) 3 月 2 日

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地

(72) 発明者 石原 輝雄

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

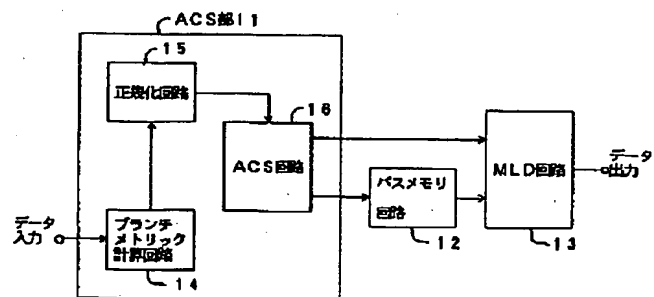
(54) 【発明の名称】 ビタビ復号演算装置

(57) 【要約】

【目的】 軟判定方式のビタビ復号演算装置に関し、比較的簡単な構成で、高速に演算が行なえるビタビ復号演算装置を提供することを目的とする。

【構成】 本発明は受信信号に応じてブランチメトリックを算出するブランチメトリック計算回路 1 4 と、ブランチメトリック計算回路 1 4 で算出されたブランチメトリック値  $BR_n \sim BR_{n-1}$  をその最小値  $BR_n$  に基づいて正規化する正規化回路 1 5 と、正規化されたブランチメトリック値に基づいてバスメトリックを算出する ACS 回路 1 6 と、バスメトリックに基づいて復号を行なう MLD 回路 1 3 とより構成される。

本発明の一実施例のブロック図



## 【特許請求の範囲】

【請求項 1】 受信信号列に応じてブランチメトリック値を算出するブランチメトリック算出手段 (1) と、前記ブランチメトリック算出手段 (1) で算出された前記ブランチメトリック値を前記ブランチメトリック値の最小値に基づいて正規化し、前記バスメトリック算出手段 (3) に供給する正規化手段 (2) と、前記正規化手段 (2) で正規化された前記ブランチメトリック値に応じてバスメトリック値を算出するバスメトリック算出手段 (3) と、前記バスメトリック算出手段 (3) で算出された前記バスメトリック値から信頼度の高いバスメトリック値を順次選択することにより前記受信信号を復元する復号手段 (4) とを有することを特徴とするビタビ復号演算装置。

【請求項 2】 前記ブランチメトリック算出手段 (1) は信頼度の高い値が最小となるようにブランチメトリック値の算出を行ない、かつ、前記復号手段 (4) は前記バスメトリック算出手段 (3) で算出された前記バスメトリック値の最小値を選択することにより前記受信信号の復元を行なうことを特徴とする請求項 1 記載のビタビ復号演算装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はビタビ復号演算装置に係り、特に、軟判定方式のビタビ復号演算装置に関する。

【0002】 誤り訂正復号化を行なう方式としてビタビアルゴリズムが注目されている。ビタビアルゴリズムには硬判定方式と軟判定方式があり、このうち高度な判定が可能な軟判定方式が注目されており、これを LSI、DSP (Digital Signal Processor) などにおいて実現

$$MX' = BX' * C'$$

$$MY' = BY' * C'$$

で求められる。

【0008】 図 10 に信頼度情報を説明するための図を示す。信頼度  $BX'$ 、 $BY'$  は例えば 3 ビットで構成され、値が大きい程信頼度が高いことを示す。

【0009】 信頼度情報  $BX$ 、 $BY$  は受信符号  $X$  ("1"),  $Y$  ("0") に対して信頼度  $BX'$ 、 $BY'$  を付与してなる。

【0010】 従って、式 (1)、式 (2) のメトリック  $MX'$ 、 $MY'$  では値が大きいほど信頼度が高いことを示している。

【0011】 なお、硬判定方式では受信信号  $X$  ("1"),  $Y$  ("0") によってのみデータの信頼度が判定されていた。

【0012】 このように従来はブランチメトリック値が大きい程、信頼度が高く、このブランチメトリックをバスメトリックに順次加算して行く必要があり、また、このとき、最適パスとしては大きなバスメトリック値を選

する要求がある。しかし、ビタビアルゴリズムの軟判定方式では、処理すべき値のダイナミックレンジが大きくなり、これにより LSI 化、DSP 化が困難とされていた。

【0003】 このため、ビタビアルゴリズムの軟判定方式を LSI 化、DSP 化するためには、処理データのダイナミックレンジの縮小が必要となる。

## 【0004】

【従来の技術】 図 9 に従来のビタビ復号回路の構成図を示す。従来のビタビ復号回路は主に ACS (加算比較選択) 部 31、バスメトリック回路 32、MLD 回路 33 より構成される。

【0005】 ACS 部 31 はブランチメトリック計算回路 34、ACS 回路 35 等よりなり、バスメトリックを計算する。ブランチメトリック計算回路 34 は入力データに基づいてブランチメトリックを計算し、ACS 回路 35 に供給する。

【0006】 ACS 回路 35 はブランチメトリック計算回路 34 で計算されたブランチメトリックを 1 クロック前に算出されたバスメトリックと加算 (add) し、加算したメトリックを比較 (compare) し、最適パスの選択 (select) を行ない、バスメトリックを MLD 回路 33 に供給すると共に、バスメトリック回路 33 にパス選択信号を記憶させる。MLD 回路 33 にはバスメトリック及びバスメトリック回路 32 から記憶されたパス選択信号が供給され、MLD 回路 33 はこれらの信号に基づいてトレース・バックが行なわれ原データを推定し、原データを復元して出力する。

【0007】 このとき、ブランチメトリック計算回路 34 では受信データ  $C$  とデータの信頼度  $BX'$ 、 $BY'$  に基づいてメトリック値  $MX'$ 、 $MY'$  を算出する。このとき、 $MX'$ 、 $MY'$  は、

$$\dots (1)$$

$$\dots (2)$$

択していく必要があり、したがって、処理する値は大きなものとなり、倍精度での処理が必要とされていた。

## 【0013】

【発明が解決しようとする課題】 しかるに、従来の軟判定方式のビタビ復号演算装置では信頼度表現は値が大きいものが多く、小さいものが低いとされ、これにエンベロープ情報を演算したものからブランチメトリック値を求め、ブランチメトリック値を順次加算していくことにより最終的に最もバスメトリック値の大きいものを求め、これを最適バスメトリック値としていたため、大きなビット幅、倍精度の値が格納可能なアキュムレータが必要となり、構成が複雑となる。また、このデータを基に演算が行なわれるため、演算毎に倍精度ロード及び倍精度セーブ等の処理が必要となり、これらの処理は拘束長や受信信号系列が増加するほど膨大なものとなり、従って、処理時間が増加すると共に構成も複雑となる。

【0014】 本発明は上記の点に鑑みてなされたもの

10

20

30

40

50

で、比較的簡単な構成で、高速に演算が行なえるビタビ復号演算装置を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】図 1 に本発明の原理ブロック図を示す。ブランチメトリック算出手段 1 は受信信号列に応じてブランチメトリック値を算出する。正規化手段 2 はブランチメトリック算出手段 1 で算出されたブランチメトリック値を算出されたブランチメトリック値のうち最小値に基づいて正規化し、バスメトリック算出手段 3 に供給する。バスメトリック算出手段 3 は正規化手段 2 で正規化されたブランチメトリック値に基づいてバスメトリック値を算出する。復号手段 4 はバスメトリック算出手段 3 で算出されたバスメトリック値からの信頼度の高いバスメトリック値を順次選択することにより受信信号を復元する。

【 0 0 1 6 】

【作用】ブランチメトリック算出手段で算出されたブランチメトリック値は正規化手段によりブランチメトリック値の最小値に基づいて正規化された後、バスメトリック算出手段に供給される。このため、ブランチメトリック値の増加を抑制でき、これに伴いバスメトリック値の増加を抑制できる。

$$KX = MAX - MX'$$

$$KY = MAX - MY'$$

差分  $KX$ ,  $KY$  は、 $MAX \sim 0$  で変移し、メトリック  $MX'$ ,  $MY'$  とは信頼度の関係が逆転し、 $KX$ ,  $KY$  が大きい程信頼度が低く、小さい程信頼度が高くなる。

【 0 0 2 2 】次に、 $KX$ ,  $KY$  に基づいてブランチメトリックが算出される。ブランチメトリックはリファレンスデータと受信信号  $X$ ,  $Y$  により求められる。

【 0 0 2 3 】図 3 にメトリック値の算出方法の説明図を示す。ブランチメトリック値は受信信号が “0” で、かつ、リファレンスデータが “0” のときには、 $K_1$ 、受信信号が “0” で、かつ、リファレンスデータが “1” のときは  $(MAX - K_1)$ 、受信信号が “1” で、かつ、リファレンスデータが “0” のときは  $(MAX - K_1)$ 、受信信号が “1” で、かつ、リファレンスデータが “1” のときは  $K_1$  となる。以上により受信符号にしてメトリック値が決定される。本実施例では図 3 に示すメトリック値算出方法に基づいてブランチメトリックが算出される。

【 0 0 2 4 】図 4 にブランチメトリック計算回路 1 4 の動作説明図を示す。受信系列は受信符号を、リファレンスデータ列はリファレンスデータを配列したもので、各受信系列に対応したブランチメトリック値は受信系列を構成する各受信符号と、それに対応したリファレンスデータとに応じて図 3 に基づいて求められたメトリック値を加算することにより算出される。図 4 において、ブランチメトリック値  $BR_i$  は最小値を示す。

【 0 0 2 5 】ブランチメトリック計算回路 1 4 で算出さ

【 0 0 1 7 】従って、構成回路の規模の増加を抑制できると共に、値のロード、セーブにかかる時間も低減できるため、高速化が行なえる。

【 0 0 1 8 】

【実施例】図 2 に本発明の一実施例のブロック構成図を示す。同図中、1 1 は ACS (加算比較選択) 部、1 2 はバスメモリ回路、1 3 は最大判定 (MLD) 回路を示す。

【 0 0 1 9 】ACS 部 1 1 はブランチメトリック計算回路 1 4、正規化回路 1 5、ACS 回路 1 6 より構成され、入力データに応じてバスメトリック及びバス選択信号を生成する。ブランチメトリック計算回路 1 4 は入力データ (エンベロープ情報) 及び信頼度情報からブランチメトリックを生成する。

【 0 0 2 0 】まず、従来と同様、式 (1), (2) により信頼度  $BX'$ ,  $BY'$  及び入力データ  $C$  よりメトリック  $MX'$ ,  $MY'$  を求める。このままでは、ダイナミックレンジが広がってしまうため本実施例では次にメトリック  $MX'$ ,  $MY'$  の最大値  $MAX$  との差分  $KX$ ,  $KY$  を求める。

【 0 0 2 1 】

$$\dots (3)$$

$$\dots (4)$$

れたブランチメトリック値は正規化回路 1 5 に供給され正規化される。正規化回路 1 5 はブランチメトリック計算回路 1 4 から供給されたブランチメトリック値  $BR_i$ ,  $\sim BR_i$  から最小値  $BR_i$  を減算することにより正規化を行なう。

【 0 0 2 6 】図 5 に正規化回路の動作説明図を示す。正規化回路 1 5 は図 4 に示すブランチメトリック値  $BR_i$ ,  $\sim BR_i$  からその中の最小値  $BR_i$  を減算した値を正規化ブランチメトリック値  $BR_i'$ ,  $\sim BR_i'$  として出力する。このため、最小値  $BR_i$  は常に “0” となり、正規化ブランチメトリック値  $BR_i'$ ,  $\sim BR_i'$  は正規化されていないブランチメトリック値  $BR_i$ ,  $\sim BR_i$  より小さくすることができる。

【 0 0 2 7 】正規化回路 1 5 で正規化されたブランチメトリック値  $BR_i'$ ,  $\sim BR_i'$  は ACS 回路 1 6 に供給される。ACS 回路 1 6 は供給された正規化ブランチメトリック値を対応するバスメトリック値に加算し、次段のバスメトリック値を求める。

【 0 0 2 8 】このとき、小さい値の方が信頼度が高くなるようにブランチメトリック値が算出されているため、順次小さい値がクリップされ、最終的に最小のバスメトリック値を求められることになる。

【 0 0 2 9 】図 6 にバスメトリックの更新動作説明図を示す。図 7 はバスメトリックが 3 2 状態ある例を示している。

【 0 0 3 0 】今まで求めて来た  $(m-1)$  で各バスメト



リック  $pathz(m-1)$  の32個がASC回路16内部に格納されている。

【0031】ビタビデコーディングは受信系列の数だけ

$$PATH0: path00000(m-1) + BRX \quad (5)$$

$$PATH1: path10000(m-1) + BRY \quad (6)$$

BRX, BRYは前述の如く求められた正規化ブランチメトリック値を示す。

【0032】式(5), 式(6)で求めたバスメトリック値のうち最小値を選択し、mにおける  $path00000(m)$  に状態を遷移させる。

【0033】図7に状態遷移の動作説明図を示す。状態を示すデータZは例えばシフトレジスタに保持されている。 $path00000(m-1)$  から  $path00000(m)$  への状態遷移は図7(A)に示すようにシフトレジスタに保持された状態を示すデータZ“00000”の下位側から“0”を入力する。シフトレジスタの内容は左側にシフトするが“0”が入力され、“0”がはじき出されるだけで変化しない。

【0034】また、 $path10000(m-1)$  から  $path00000(m)$  への状態遷移は図7(B)に示すようにシフトレジスタに保持された状態を示すデータを“10000”の下位側から“0”を入力することにより“1”を上位側にはじき出し、“00000”を得る。

【0035】このように各状態への遷移はすべて2種類の遷移元が存在する。

【0036】ACS回路16は生成されたバスメトリック値をMLD回路13に供給すると共に、生残りバスを示すデータが記憶されたバスメモリ回路12の更新を行なう。

【0037】MLD回路13はACS回路16から供給されたバスメトリック値とバスメモリ回路12の内容からデータを復元し、出力する。

【0038】図8に本発明の一実施例の動作説明図を示す。ビタビ復号を行なう場合、まず、回路が初期設定され、レジスタ、メモリ等の内容がクリアされる(ステップS1)。

【0039】初期設定された後、受信データがブランチメトリック計算回路1に取り込まれ、受信データに基づいて後述するようにブランチメトリックが算出される(ステップS2)。

【0040】次に、ステップS2で算出されたブランチメトリックを後述するように正規化する(ステップS3)。

【0041】ステップS3で正規化された正規化ブランチメトリックはASC回路16に供給され、ASC回路16で前回の計算で算出されたバスメトリックと加算され、今回のバスメトリックを算出し、MLD回路13に供給する(ステップS4)。

【0042】次にステップ4で算出されたバスメトリッ

バスメトリック値を求めて行く。あるm-1のバスメトリック  $path00000(m-1)$ ,  $path10000$  からmへの更新PATH0, PATH1は

クより最小のバスメトリックを求め最適バスとして選択信号を生成し、バスメモリ回路12に記憶する(ステップS5)。

【0043】ステップS2~S5をN回(N:状態数)実行し(ステップS6)、さらにM回(M=(符号化されているデコードデータ数)+L[L:状態数の段数でN=2<sup>L</sup>])実行される(ステップS7)。

【0044】次にMLD回路13により以上で求めたバスメトリック及び最小バス判定データに基づいてトレースバックを行ない原データを再生し、出力する(ステップS8)。

【0045】以上のように本実施例によれば、ブランチメトリックは正規化されるため、それが加算されることにより生成されるバスメトリック値の増加を抑制でき、これによりダイナミックレンジを小さく設定でき、従って、回路規模を小さく構成できる。

【0046】また、ダイナミックレンジの減少によりデータのメモリ等からのロード、セーブ等の処理を高速で行なえ、従って、ビタビ復号全体の処理を高速で行なえる。

【0047】さらに、バスメトリックの最小値を判定し、最適バスとすることによりバスメトリック計算時にその値がオーバーフローしても、これが最適バスとはならないので、その値を最大値にクリップして保持しておけば特性に何ら影響を与えることはない。

【0048】また、正規化及び最小値での判定により演算値が増大することがないため、単精度の値での演算が可能となり、LSI, DPS等への適用が容易となる。

【0049】

【発明の効果】上述の如く、本発明によれば、複数のブランチメトリック値を正規化した後にバスメトリック値に加算し、次のバスメトリック値とするため、バスメトリック値の増加を抑制でき、従って、処理を簡略に行なえ、簡単に構成できると共に、高速化が可能となる等の特長を有する。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例のブロック図である。

【図3】本発明の一実施例のメトリック算出方法を説明するための図である。

【図4】本発明の一実施例のブランチメトリック計算回路の動作説明図である。

【図5】本発明の一実施例の正規化回路の動作説明図である。

【図6】バスメトリックの更新動作説明図である。

【図 7】状態遷移を説明するための図である。

【図 8】本発明の一実施例の動作説明図である。

【図 9】従来の一例の構成図である。

【図 10】信頼度情報を説明するための図である。

【符号の説明】

1 ブランチメトリック算出手段

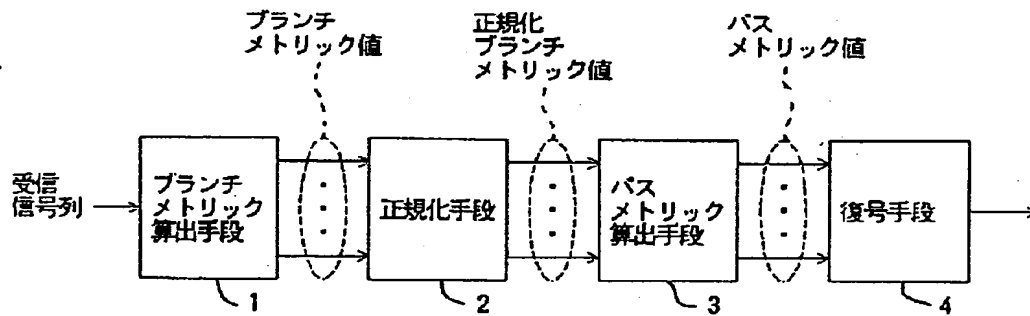
2 バスメトリック算出手段

3 選択手段

4 正規化手段

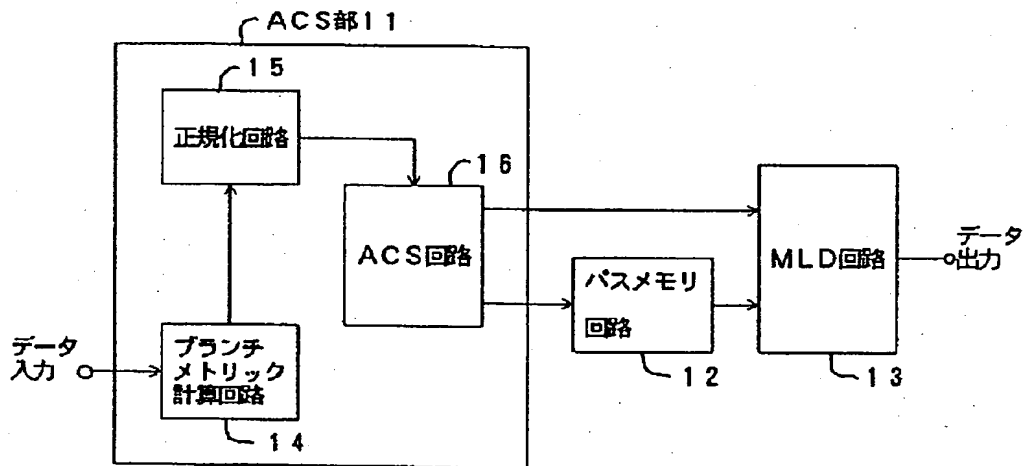
【図 1】

本発明の原理ブロック図



【図 2】

本発明の一実施例のブロック図



【図 3】

本発明の一実施例のメトリック算出方法を説明するための図

受信符号	リファレンスデータ	軟判定
0	0	KY
0	1	MAX-KY
1	0	MAX-KX
1	1	KX

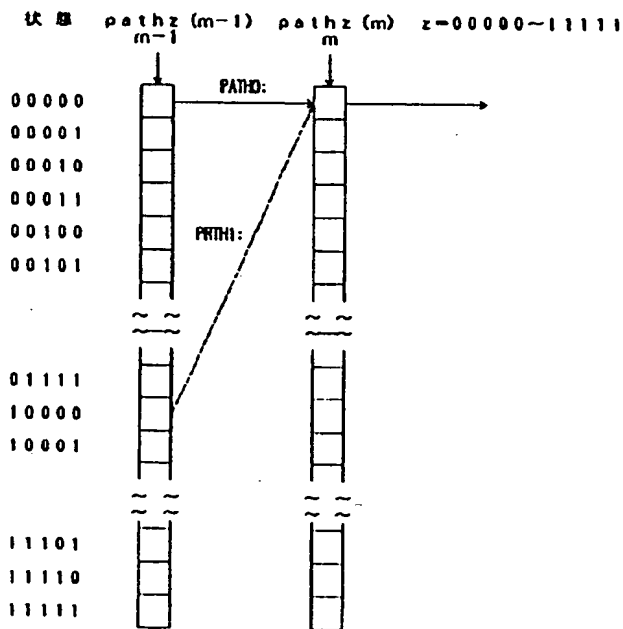
【図4】

本発明の一実施例のブランチメトリック計算回路の動作説明図

リファレンス データ	受信系列	
(a)	0 0 0 1 1 0 1 1	$BR0 = KX + KY$ $BR1 = KX + (MAX - KY)$ $BR2 = (MAX - KX) + KY$ $BR3 = (MAX - KX) + (MAX - KY)$
(b)	0 0 0 1 1 0 1 1	$BR1 = KX + (MAX - KY)$ $BR0 = KX + KY$ $BR3 = (MAX - KX) + (MAX - KY)$ $BR2 = (MAX - KX) + KY$
(c)	0 0 0 1 1 0 1 1	$BR2 = (MAX - KX) + KY$ $BR3 = (MAX - KX) + (MAX - KY)$ $BR0 = KX + KY$ $BR1 = KX + (MAX - KY)$
(d)	0 0 0 1 1 0 1 1	$BR3 = (MAX - KX) + (MAX - KY)$ $BR2 = (MAX - KX) + KY$ $BR1 = KX + (MAX - KY)$ $BR0 = KX + KY$

【図6】

パスメトリックの更新動作説明図



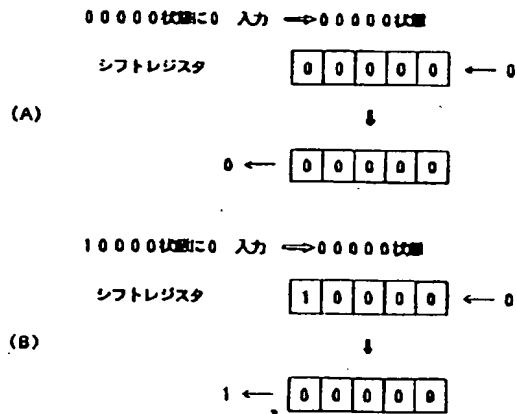
【図5】

本発明の一実施例の正値化回路の動作説明図

リファレンス データ列	受信系列	
(a)	0 0 0 1 1 0 1 1	$BR0 = 0$ $BR1 = (MAX - 2KY)$ $BR2 = (MAX - 2KX)$ $BR3 = (MAX - 2KX) + (MAX - 2KY)$
(b)	0 0 0 1 1 0 1 1	$BR1 = (MAX - 2KY)$ $BR0 = 0$ $BR3 = (MAX - 2KX) + (MAX - 2KY)$ $BR2 = (MAX - 2KX)$
(c)	0 0 0 1 1 0 1 1	$BR2 = (MAX - 2KX)$ $BR3 = (MAX - 2KX) + (MAX - 2KY)$ $BR0 = 0$ $BR1 = (MAX - 2KY)$
(d)	0 0 0 1 1 0 1 1	$BR3 = (MAX - 2KX) + (MAX - 2KY)$ $BR2 = (MAX - 2KX)$ $BR1 = (MAX - 2KY)$ $BR0 = 0$

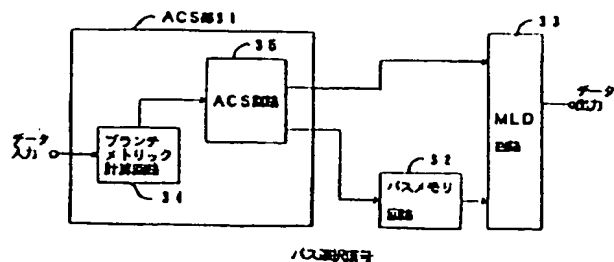
【図7】

状態遷移を説明するための図



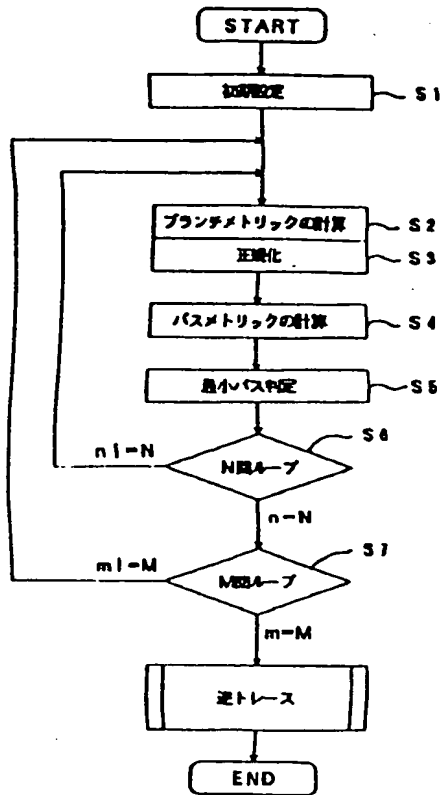
【図9】

本発明の一実施例の構成図



【図8】

本発明の一実施例の動作説明図



【図10】

値決定情報を選択するための図

